

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

JA 0108540

AUG 1979

(54) MEMORY CIRCUIT DEVICE

(11) Kokai No. 54-108540 (43) 8.25.1979 (19) JP

(21) Appl. No. 53-15234 (22) 2.13.1978

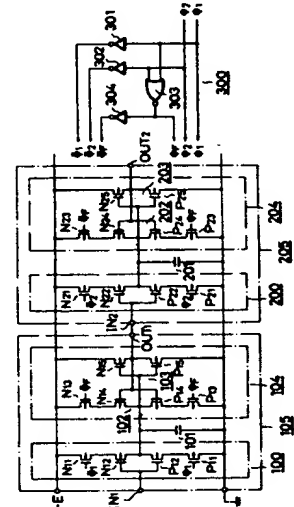
(71) TOKYO SHIBAURA DENKI K.K. (72) MASATAKA HIRASAWA(2)

(52) JPC: 97(7)C61

(51) Int. Cl. G11C19/28

PURPOSE: To make it possible to reduce wires for clock pulses in number at the time of integration, and also to miniaturize a chip size, by supplying a common clock pulse to switching methods of 1st and 2nd stabilizing methods.

CONSTITUTION: The 1st memory circuit 105 composed of clocked inverter 100, capacitor 101 and stabilization circuit 104 (holding stably information stored in capacitor 101 by clocked inverter 102 and MOS type inverter 103) and 2nd memory circuit 205 composed of clocked inverter 200, capacitor 201 and stabilization circuit 204 are cascaded in order to obtain the function of a one-bit shift register, and clock pulse CP wiring needed to be arranged closely and in parallel to the earth power supply and negative power wiring requires only three kinds of ϕ_1 , ϕ_2 , ϕ_F and inversion ϕ_1 , inversion ϕ_2 , and inversion ϕ_F , which are reduced by two in number as compared with conventional one. This results from that CP, ϕ_F and inversion ϕ_F supplied to stabilization circuits 104 and 204 can be used in common among respective stages without necessity of constituting into individual shift registers.



365-189.08

⑨日本国特許庁(JP)

⑩特許出願公開

⑫公開特許公報(A)

昭54-108540

⑤Int. Cl.²
G 11 C 19/28

識別記号 ⑥日本分類
97(7) C 61

庁内整理番号 ④公開
7368-5B

昭和54年(1979)8月25日

発明の数 1
審査請求 未請求

(全 7 頁)

⑭記憶回路装置

東京芝浦電気株式会社トランジ
スタ工場内

⑯特 願 昭53-15234

⑯発 明 者 長尾建一

⑯出 願 昭53(1978)2月13日

川崎市幸区小向東芝町1番地

⑯発 明 者 平沢正孝

東京芝浦電気株式会社トランジ
スタ工場内

川崎市幸区小向東芝町1番地

東京芝浦電気株式会社トランジ

⑯出 願 人 東京芝浦電気株式会社

スタ工場内

川崎市幸区堀川町72番地

同 橋本昭

⑯代 理 人 弁理士 鈴江武彦 外2名

川崎市幸区小向東芝町1番地

明 細 書

1.発明の名称

記憶回路装置

2.特許請求の範囲

(1) 少なくとも一つの第1の記憶手段と、第1のクロックパルスを書き込みパルスとして前記第1の記憶手段に情報を書き込む手段と、少なくとも一つの第2の記憶手段と、前記第1のクロックパルスと位相あるいは周期を異にする第2のクロックパルスを書き込みパルスとして前記第2の記憶手段に情報を書き込む手段と、前記第1の記憶手段に書き込まれた情報を第1の記憶手段に正帰還する反転回路とスイッチング手段からなる第1の安定化手段と、前記第2の記憶手段に書き込まれた情報を第2の記憶手段に正帰還する反転回路とスイッチング手段からなる第2の安定化手段と、前記第1の安定化手段および第2の安定化手段のスイッチング手段に共通のクロックパルスを与える手段とを具備し、前記第1の安定化手段と第2の安定化手

段の夫々のスイッチング手段を同時に開閉制御するようにしたことを特徴とする記憶回路装置。

(2) 前記第1、第2の記憶手段に情報を書き込む手段がMOS反転回路に直列に一对のMOS素子を接続してなることを特徴とする特許請求の範囲第1項記載の記憶回路装置。

3.発明の詳細な説明

この発明は相補型MOS FET回路を用いた記憶回路装置に係り、特に位相あるいは周期の異なるいくつかのクロックパルスにより駆動される多数の記憶回路装置を集積化するのに最適な安定回路を有した記憶回路装置に関する。

相補型MOS FET回路を用いて記憶回路装置を構成する場合、MOS FETの入力ゲートのインピーダンスが極めて高く、しかも非導通時にかけるソース・ドレイン間のリーク電流も極めて少いため、次段の入力容量あるいは情報書き込み用の相補型MOS FET回路の端子容量さらには配線容量等を情報記憶手段として用いるのが一般的である。この情報記憶手段は容量の充電電荷

の有無により情報を記憶するが、前記入力ゲートのインピーダンスあるいは情報書き込み用の MOS FET のソース・ドレイン間の非導通時のインピーダンスは極めて高いがその値は有限であるため、いつたん書き込まれた情報を長時間にわたって安定に記憶しておくことはできない。従つてこの対策として、情報書き込み時以外は正帰還ループを形成して、情報を安定化する必要がある。

第1図はスタティック形記憶回路を2段縦続接続して構成した記憶回路の1例であり従来のスタティック形1ビットシフトレジスタである。第1の記憶回路10において、情報書き込み手段はクロックパルス ϕ_1 およびその反転パルス $\bar{\phi}_1$ を第1の相補クロックパルス対とするいわゆるクロックドインバータ11によつて構成されている。このクロックドインバータ11は ϕ_1 、 $\bar{\phi}_1$ の第1の相補クロックパルス対が成立時に端子IN₁の情報を容量12に書き込み、さらに書き込まれた情報は相補型 MOS インバー

1図において30は縦続接続された第1、第2の記憶回路10、20を1ビットシフトレジスタ動作させるに必要な第2図に示すようなタイミングを持つたクロックパルス ϕ_1 、 $\bar{\phi}_1$ 、 ϕ_2 、 $\bar{\phi}_2$ を夫々発生するためのクロックパルス発生回路である。

上記第1図に示される1ビットシフトレジスタを多数個集積化する場合に適した集積回路パターン形成法は一般に、接地電源配線と負電源(-E)配線をほぼ平行に配置し、上記両電源配線間にpチャネル型 MOS FET を接地電源配線側に、nチャネル型 MOS FET を負電源配線側にまとめて配置するに当り、各pチャネル型 MOS FET に供給されるクロックパルス ϕ_1 、 $\bar{\phi}_1$ 、 ϕ_2 、 $\bar{\phi}_2$ 配線群を接地電源配線に接近してほぼ平行配置し、各nチャネル型 MOS FET に供給されるクロックパルス ϕ_1 、 $\bar{\phi}_1$ 、 ϕ_2 、 $\bar{\phi}_2$ 配線群を負電源配線に接近してほぼ平行配置し、さらにいずれかのクロックパルスをゲート入力とするp、n各チャネル型 MOS

特開昭54-108540(2)

タ13によつて反転された後端子OUT₁から出力されるようになっている。さらに上記容量12に書き込まれた情報は、上記相補型 MOS インバータ13および前記第1の相補クロックパルス対を補元の形でクロックパルス対とするクロックドインバータ14を介して再び容量12に正帰還されるようになっている。すなわち上記相補型 MOS インバータ13およびクロックドインバータ14は容量12に書き込まれた情報を安定に保持するための安定回路15を構成している。第2の記憶回路20においてもその構成は同様で、ただ異なっている点は容量22に情報を書き込むためのクロックドインバータは、前記第1の相補クロックパルスとその位相あるいは周期を異にする第2の相補クロックパルス ϕ_2 、 $\bar{\phi}_2$ を書き込みパルスとしている点である。またさらに第2の記憶回路20の安定化回路25を構成しているクロックドインバータ24も、上記第2の相補クロックパルス対を補元の形でクロックパルス対としている。また第

FETを当該クロックパルス配線群内の所定のクロックパルス配線と交錯して形成すると共に、いずれのクロックパルスもゲート入力としないp、n各チャネル型 MOS FET を、クロックパルスをゲート入力とする MOS FET 間に形成するようにしたものである。そして上記集積回路パターン形成法は上記方法によつて形成される回路ユニットを一次元的に配置することを特徴としている。

ところで第1図に示す安定回路15、25を持つた1ビットシフトレジスタを前記パターン形成法によつて集積回路化する場合、pチャネル型 MOS FET に供給されるクロックパルスは ϕ_1 、 $\bar{\phi}_1$ 、 ϕ_2 、 $\bar{\phi}_2$ の計4本、同様にnチャネル型 MOS FET に供給されるクロックパルスも ϕ_1 、 $\bar{\phi}_1$ 、 ϕ_2 、 $\bar{\phi}_2$ の計4本となり、接地電源配線と負電源配線との間には計8本のクロックパルス配線が必要となる。安定回路を持たないダイナミック形の1ビットシフトレジスタの場合には、2本の電源配線間には4本の

クロックパルス配線を施こせば良い。すなわち、スタティック形の場合にはクロックパルス配線がダイナミック形に比較して倍必要とする。このことは高密度集積回路化する場合に、記憶回路として安定回路を持つた記憶回路を用いることが不利となることを示しているものである。さらにクロックパルスの周波数を低くして低消費電力化を計ろうとする場合、チップサイズを大型化せざるを得ない。

この発明は上記のような事情を考慮してなされたもので、その目的とするところは集積回路化の際にクロックパルスの配線本数が低減でき、もつてチップサイズの小型化が可能な記憶回路装置を提供することにある。

以下、図面を参照してこの発明の一実施例を説明する。第3図はこの発明の記憶回路装置の一実施例を示す構成図で、説明簡略化のために従来と同様の機能を持つたスタティック形の1ビットシフトレジスタが示されている。第3図において負電源(-E)印加点と接地電位点と

の間にはnチャネル型MOS FET N_{11} 、nチャネル型MOS FET N_{12} 、pチャネル型MOS FET P_{11} およびpチャネル型MOS FET P_{12} の順で4個のMOS FETが直列接続されている。上記nチャネル型FET N_{11} とpチャネル型FET P_{11} の両ゲートは並列的に入力端子 IN_1 に接続されている。さらに上記pチャネル型FET P_{11} のゲートにはクロックパルス ϕ_1 が供給されると共に、上記nチャネル型FET N_{11} にはこのクロックパルス ϕ_1 の反転パルス $\bar{\phi}_1$ が供給されている。すなわち上記4個のFET N_{11} 、 N_{12} 、 P_{11} 、 P_{12} はいわゆるクロックドインバータ100を構成していて、このクロックドインバータ100の出力端はその一端が接地電位点に接続されている容量101の他端に接続されている。さらに上記クロックドインバータ100の出力端は、負電源印加点と接地電位点との間に直列接続されたnチャネル型MOS FET N_{21} 、nチャネル型MOS FET N_{22} 、pチャネル型MOS FET P_{21} およびpチャネル型MOS FET P_{22} からな

るクロックドインバータ102の出力端に接続されている。上記pチャネル型FET P_{12} のゲートにはクロックパルス ϕ_2 が供給されていると共に、上記nチャネル型FET N_{12} のゲートにはこのクロックパルス ϕ_2 の反転パルス $\bar{\phi}_2$ が供給されている。さらにまたクロックドインバータ100の出力端は、負電源印加点と接地電位点との間に直列接続されたnチャネル型MOS FET N_{11} およびpチャネル型MOS FET P_{11} からなるMOS型インバータ103の入力端に接続されている。このインバータ103の出力端は出力端子 OUT_1 に接続されていると共に、前記クロックドインバータ102の入力端に接続されている。すなわち第3図においてクロックドインバータ100は、容量101に入端子 IN_1 の情報を書き込むための書き込み手段となる。さらにクロックドインバータ102およびインバータ103は、容量101に書き込まれた情報を安定に保持するための安定回路104を構成している。そしてさらにクロックドインバータ

100、容量101および安定回路104は第1の記憶回路105を構成している。第1の記憶回路105の出力端子 OUT_1 は第2の記憶回路205の入力端子 IN_2 に接続されている。第2の記憶回路205の構成は前記第1の記憶回路105の構成と同様である。すなわち、負電源印加点と接地電位点との間にはnチャネル型MOS FET N_{21} 、nチャネル型MOS FET N_{22} 、pチャネル型MOS FET P_{21} およびpチャネル型MOS FET P_{22} からなるクロックドインバータ200、nチャネル型MOS FET N_{21} 、nチャネル型MOS FET N_{22} 、pチャネル型MOS FET P_{21} およびpチャネル型MOS FET P_{22} からなるクロックドインバータ202、nチャネル型MOS FET N_{21} およびpチャネル型MOS FET P_{21} からなるMOSインバータ203が夫々接続されている。クロックドインバータ200の出力端は容量201、クロックドインバータ202の出力端およびインバータ203の入力端に夫々接続されている。さらにインバ

ータ203の出力端は出力端子OUT₁に接続されていると共にクロックディンバータ202の入力端に接続されている。またクロックディンバータ200のpチャネル型FET P₁₁のゲートには、前記第1の記憶回路105に供給されているクロックパルス ϕ_1 とは位相あるいは周期を異にするクロックパルス ϕ_2 が供給されていると共に、nチャネル型FET N₁₁のゲートにはこのクロックパルス ϕ_2 の反転パルス $\bar{\phi}_2$ が供給されている。さらにまたクロックディンバータ202のpチャネル型FET P₂₁のゲートには、前記クロックパルス ϕ_2 が供給されていると共に、nチャネル型FET N₂₁のゲートにはこのクロックパルス ϕ_2 の反転パルス $\bar{\phi}_2$ が供給されている。

第3図において300は上記第1の記憶回路105および第2の記憶回路205の各部に供給されるクロックパルス ϕ_1 、 $\bar{\phi}_1$ 、 ϕ_2 、 $\bar{\phi}_2$ 、 ϕ_3 、 $\bar{\phi}_3$ を、夫々発生するためのクロックパルス発生回路である。このクロックパルス発生回

路300に供給される2つのクロックパルス ϕ_1 、 ϕ_2 は、前記第2図に示すようなタイミングを持つていて、クロックパルス ϕ_1 、 ϕ_2 はインバータ301、302夫々で反転されるようになつている。この結果インバータ301、302からは夫々クロックパルス $\bar{\phi}_1$ 、 $\bar{\phi}_2$ が得られるようになつている。さらに前記クロックパルス ϕ_1 、 ϕ_2 は並列的にノアゲート303に供給されていて、このノアゲート303からは第4図に示すようなタイミングを持つたクロックパルス ϕ_3 が得られるようになつている。またさらにこのノアゲート303で得られたクロックパルス ϕ_3 はインバータ304により反転されて、このクロックパルス ϕ_3 の反転パルス $\bar{\phi}_3$ が得られるようになつている。

次に第4図に示すクロックパルス ϕ_1 、 $\bar{\phi}_1$ 、 ϕ_2 、 $\bar{\phi}_2$ 、 ϕ_3 、 $\bar{\phi}_3$ のタイミングチャートを参照して、第3図のように構成された回路の動作を説明する。なお動作の説明に当つては負論理を用い、接地レベルを論理"0"レベルに、負

電源(-E)レベルを論理"1"レベルとする。

先ずクロックパルス ϕ_1 が一定期間成立する(ϕ_1 ="1"レベル、 $\bar{\phi}_1$ ="0"レベル)。このときこのクロックパルス ϕ_1 をゲート入力とするpチャネル型FET P₁₁と、反転パルス $\bar{\phi}_1$ をゲート入力とするnチャネル型FET N₁₁が共に導通する。このとき安定回路104のクロックインバータ102に供給されるクロックパルス ϕ_2 、 $\bar{\phi}_2$ は、夫々第4図に示すように"0"レベル、"1"レベルとなつているので、このクロックディンバータ102は非導通状態になつている。したがつてクロックパルス ϕ_1 が成立しているとき、クロックディンバータ100は入力端子I_{N1}の情報を反転する。この結果容量101は上記クロックディンバータ100の出力情報に応じて、電荷の充電または放電を行なう。さらにインバータ103はクロックディンバータ100の出力情報を反転する。すなわちクロックパルス ϕ_1 が成立すると、入力端子I_{N1}の情報が反転された状態で容量101

に記憶されると共に、入力端子I_{N1}の情報が同極性で出力端子OUT₁に導出される。

次にクロックパルス ϕ_1 が非成立になる。このときもう一つのクロックパルス ϕ_2 も非成立のままであるとし、次に再びクロックパルス ϕ_1 が成立するまでの期間では、クロックディンバータ100のpチャネル型FET P₁₁とnチャネル型FET N₁₁は共に非導通となる。またこの期間クロックパルス ϕ_2 、 $\bar{\phi}_2$ が夫々"1"レベル、"0"レベルになつているので、クロックディンバータ102のpチャネル型FET P₂₁およびnチャネル型FET N₂₁が共に導通状態になる。この結果クロックディンバータ102は通常のインバータ動作を行なうことになるので、安定回路104においてインバータ103とクロックディンバータ102による正帰還ループが形成されることになる。すなわち、いつたん容量101に電荷の有無の状態で記憶された情報は、上記正帰還ループによつて安定に保持される。この状態はクロックパルス ϕ_1

が再び成立するか、またはクロックパルス ϕ_1 が成立するまで継続する。そしてクロックパルス ϕ_1 が成立する以前に再びクロックパルス ϕ_1 が成立すると、クロックドインバータ100はその時点における入力端子IN₁の情報を反転することになる。そしてこの時の入力端子IN₁の情報が以前と同じであれば、出力端子OUT₁には以前容量101に記憶されている情報の反転情報が出力される。一方入力端子IN₁の情報が以前と異なっていれば、容量101の記憶が更新されこの更新された情報の反転情報が出力端子OUT₁から出力される。

次にクロックパルス ϕ_2 が成立する。このときクロックパルス ϕ_2 は、夫々第4図に示すように“0”レベル、“1”レベルになっているので、安定回路104のクロックドインバータ102はそのインバータ動作を停止する。したがって容量101は以前記憶した情報をダイナミック的に保持することになる。一般にクロックパルス ϕ_1 あるいは ϕ_2 が“1”レベル

になっている期間は、容量101によつてダイナミック的に情報を安定に保持し得る期間に対して極めて短い期間であるために、容量101はダイナミック的に情報を安定に保持し得る。クロックパルス ϕ_1 が成立すると、第2の記憶回路205におけるクロックドインバータ200がインバータ動作を行なう。このとき安定回路204を構成するクロックドインバータ202に供給されているクロックパルス ϕ_2 は夫々“0”レベル、“1”レベルになっているので、クロックドインバータ202は非導通状態となっている。したがって前記第1の記憶回路105の出力端子OUT₁に接続された第2の記憶回路205の入力端子IN₂の情報はクロックドインバータ200により反転される。この結果容量201は上記クロックドインバータ200の出力情報に応じて、電荷の充電または放電を行なう。さらにインバータ203はクロックドインバータ200の出力情報を反転する。すなわちクロックパルス ϕ_1 が成立すると、入

力端子IN₂の情報が反転された状態で容量201に記憶されると共に、入力端子IN₂の情報が同極性で出力端子OUT₂に導出される。

次にクロックパルス ϕ_1 が非成立になると、クロックパルス ϕ_2 は“1”レベル、 ϕ_1 は“0”レベルとなり、第1の記憶回路105の安定回路104内のpチャネル型FET P₁およびnチャネル型FET N₁が共に導通する。この結果容量101に対する正帰還ループが形成され、容量101の充電電荷は直流的に保持される。この時同様に第2の記憶回路205の安定回路204の正帰還ループが形成され、容量201の充電電荷は直流的に保持される。

このように上記装置は1ビットシフトレジスタとしての機能を果たしている上、接地電源配線に近接してほぼ平行に配置する必要のあるクロックパルス配線は、 ϕ_1 、 ϕ_2 、 ϕ_3 の3本であり、負電源配線に近接してほぼ平行に配置する必要のあるクロックパルス配線は、 ϕ_1 、 ϕ_2 、 ϕ_3 の3本である。すなわち上記両電源配線間に

は計6本のクロックパルス配線を施すのみで良い。この本数は従来に対して2本削減されており、この削減された分だけのチップ面積が節約できるので高密度集積化が可能となる。これは各記憶回路105、205を一次元的に縦続接続してnビットのシフトレジスタを構成する場合、各安定回路に供給されるクロックパルス ϕ_1 、 ϕ_2 は個々のシフトレジスタ夫々に構成する必要がなく、各段で共用することができるためである。

なおこの発明は上記の一実施例に限定されるものではなく、例えば上記実施例では第1の記憶回路105と第2の記憶回路205とを縦続接続して、1ビットシフトレジスタとした場合について説明したが、これは第1の記憶回路105の出力端子OUT₁と第2の記憶回路205の入力端子IN₂とを分離して、夫々独立した記憶回路として用いることも可能である。そしてこのような使い方をした場合においても、クロックパルス配線が削減できるという効果は変

わりがない。

さらに上記実施例において各クロックインバータのクロックパルスを入力とするFETの挿入位置はこれに限定されるものではなく、また各記憶回路105、205の出力を得る位置はインバータ103、203の出力端でなく容量101、201から得るようにしても良い。

またさらにクロックパルス ϕ_1 、 ϕ_2 と位相あるいは周期を異にする他のクロックパルス ϕ_3 を書き込みパルスとする第3の記憶回路が、第1、第2の記憶回路105、205と縦続接続するとか一次元配置する場合であつても、各安定回路に供給するクロックパルスを $\phi_p = \phi_1 + \phi_2 + \phi_3$ 、 $\bar{\phi}_p = \phi_1 + \phi_2 + \phi_3$ とすることによりこの発明を適用できる。

またクロックパルス ϕ_p 、 $\bar{\phi}_p$ を得るにも、クロックパルス ϕ_1 、 ϕ_2 夫々の反転パルス $\bar{\phi}_1$ 、 $\bar{\phi}_2$ を入力とするナンドゲートの出力として $\bar{\phi}_p$ を得、その反転パルスとしてクロックパルス ϕ_p を得るようにしても良いことは明らかである。

以上詳述したようにこの発明によれば、集積回路化する際にクロックパルスの配線本数が低減でき、もつてチップサイズの小型化が可能な記憶回路装置を提供することができる。

4. 図面の簡単な説明

第1図は従来の記憶回路装置の構成図、第2図は上記従来装置で用いられるクロックパルスのタイミングチャート、第3図はこの発明の一実施例の構成図、第4図は上記実施例を説明するためのタイミングチャートである。

100、102、200、202…クロックインバータ、101、201…容量、103、203…MOSインバータ、104、204…安定回路、105、205…記憶回路、300…クロックパルス発生回路、301、302、304…インバータ、303…ノアゲート。

出願人代理人 弁理士 鈴 江 武 彦

図 1

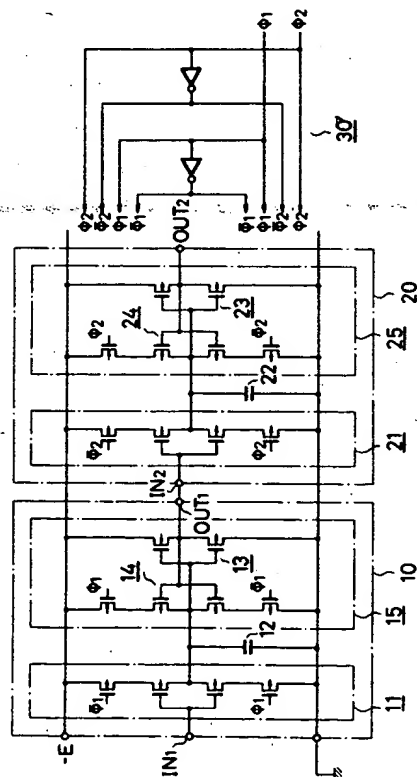
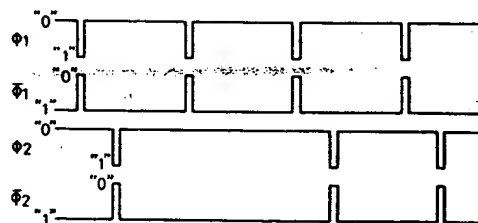
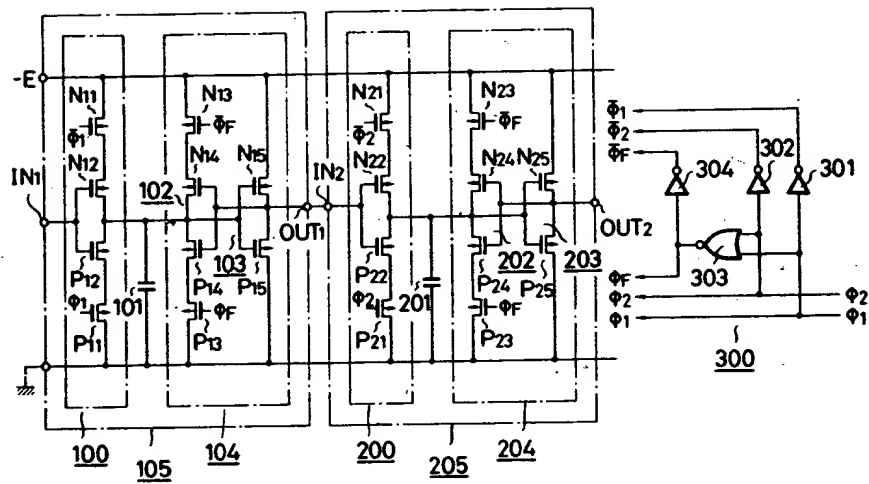


図 2



才 3 図



才 4 図

